

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

United States Patent and Trademark
Office
(Box PCT)
Crystal Plaza 2
Washington, DC 20231
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing:

14 May 1999 (14.05.99)

International application No.:

PCT/JP98/04983

Applicant's or agent's file reference:

98S0797P

International filing date:

05 November 1998 (05.11.98)

Priority date:

05 November 1997 (05.11.97)

Applicant:

MATSUSE, Kimihiro et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

08 April 1999 (08.04.99)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

C L A I M S

1. A wiring structure of a semiconductor device comprising:

5 a first conducting layer for electrically connecting with a semiconductor element or a wiring element formed on a semiconductor substrate;

a barrier metal formed on the first conducting layer; and

10 a second conducting layer formed on the barrier metal, for electrically connecting with the first conducting layer via the barrier metal,

wherein the barrier metal is formed of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride).

15 2. The wiring structure according to claim 1, wherein an insulating layer is interposed between the first conducting layer and the second conducting layer, for electrically isolating both layers from each other, a hole is formed in the insulating layer so as to pass
20 through the insulating layer, the first conducting layer and the second conducting layer are electrically connected through the hole by way of the barrier metal.

25 3. The wiring structure according to claim 2, wherein the barrier metal is interposed between the first conducting layer and the second conducting layer, and between the insulating layer and the second conducting layer.

4. The wiring structure according to claim 3, wherein at least one of the first and second conducting layers is formed of Cu and the insulating layer is formed of SiO₂.

5 5. The wiring structure according to claim 2 or 3, wherein the hole is a via-hole.

6. The wiring structure according to claim 5, wherein one of the first conducting layer and the second conducting layer is formed of any one of Al, W, and Cu; and the other one of the first conducting layer and the second conducting layer is formed of W or Cu.

7. The wiring structure according to claim 2 or 3 wherein the hole is a contact hole.

8. The wiring structure according to claim 7, wherein one of the first conducting layer and the second conducting layer is formed of any one of Al, W, and Cu; and the other one of the first conducting layer and the second conducting layer is formed of Si.

9. An electrode of a circuit element formed on a semiconductor substrate, comprising

a polysilicon layer;
a barrier metal formed on the polysilicon layer;
and

a metal layer formed on the barrier metal,
wherein the barrier metal is formed of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride).

10. The electrode according to claim 9, wherein the electrode is a gate electrode of a transistor; the polysilicon layer is formed on a gate oxide film formed between a source and a drain of the transistor.

5 11. The electrode according to claim 9 or 10, wherein the metal layer is formed of W or Cu.

12. The electrode according to claim 11, wherein the gate oxide film is formed of any one of SiO_2 , SiOF , Ta_2O_5 , and CF_x .

10 13. A gate electrode of a transistor formed on a semiconductor substrate, comprising:

 a gate oxide film formed between a source and a drain of the transistor;

 a barrier metal formed on the gate oxide film; and

15 a metal layer formed on the barrier metal,

 wherein the barrier metal is formed of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride).

20 14. The electrode according to claim 9, wherein the electrode is a capacitor electrode and the polysilicon layer is formed on an insulating film.

15. The electrode according to claim 14, wherein the metal layer is formed of any one of Al, W, and Cu.

25 16. The electrode according to claim 15, wherein the insulating film is formed of any one of SiO_2 , SiOF , Ta_2O_5 , and CF_x .

17. A method of forming a wiring structure of

a semiconductor device, comprising:

forming a first conducting layer by depositing a metal film on an insulating film of the semiconductor substrate;

5 forming an interlayer insulating film over an entire surface of the semiconductor substrate so as to cover the first conducting layer from the above;

forming a connecting hole at a predetermined position of the interlayer insulating film so as to pass the interlayer insulating film and reach the first conducting layer;

forming a barrier metal of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride) on from an inner surface of the connecting hole to a surface of the first conducting layer exposed in a bottom portion of the connecting hole; and

depositing a metal film on the barrier metal and simultaneously fill the connecting hole with the metal film, thereby forming a second conducting layer electrically connected with the first conducting layer via the barrier metal.

18. The method according to claim 17, wherein at least one of the first and second conducting layers is formed of Cu and the interlayer insulating film is formed of SiO_2 .

19. The method according to claim 17, wherein the connecting hole is a via-hole.

20. The method according to claim 19, wherein one of the first conducting layer and the second conducting layer is formed of any one of Al, W, and Cu; and

the other one of the first conducting layer
5 and the second conducting layer is formed of either W or Cu.

21. The method according to claim 17, wherein the connecting hole is a contact hole.

22. The method according to claim 21, wherein one
10 of the first conducting layer and the second conducting layer is formed of any one of Al, W, and Cu, and the other one of the first conducting layer and the second conducting layer is formed of Si.

23. The method according to claim 17, wherein the
15 step of forming the barrier metal comprises a first step for forming a W (tungsten) film or a WSi film over an inner surface of the connecting hole and a surface of the first conducting layer exposed in a bottom surface of the connecting hole; and a second step of
20 nitriding the W film or the WSi film to form a WN_x (tungsten nitride) film or a WSi_xN_y (tungsten silicide nitride) film.

24. A method of forming a gate electrode of a transistor formed on a semiconductor substrate,
25 comprising

forming a barrier metal of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride) on a gate

oxide film formed between a source and a drain of a transistor; and

forming a metal layer on the barrier metal.

25. A method of forming a gate electrode of a transistor formed on a semiconductor substrate; comprising

forming a polysilicon layer on a gate oxide film formed between a source and a drain of a transistor;

forming a barrier metal of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride) on the polysilicon layer; and

forming a metal layer on the barrier metal.

26. The method according to claim 24 or 25, wherein the metal layer is formed of W or Cu.

27. The method according to claim 24 or 25, wherein the gate oxide film is formed any one of SiO_2 , $SiOF$, Ta_2O_5 , and CF_x .



09/530588
526 Rec'd PCT/PTO 05 MAY 2000

The following are the English translations of Annexes to the
International Preliminary Examination Report Amended Sheets 31-36, filed
April 8, 1999 and August 19, 1999.

10052100
10052100 10052100 10052100

C L A I M S

1. (amended) A wiring structure of a semiconductor device comprising:

a first metal layer formed on a semiconductor
5 substrate;

a barrier metal formed on the first metal layer;

a second metal layer formed on the barrier metal
for electrically connecting with the first metal layer
via the barrier metal,

10 wherein the barrier metal is formed of WN_x
(tungsten nitride) or WSi_xN_y (tungsten silicide
nitride).

2. (amended) The wiring structure according to
claim 1, wherein an insulating layer is interposed
15 between the first metal layer and the second metal
layer for electrically isolating both layers from each
other, a hole is formed in the insulating layer so as
to pass through the insulating layer, and the first
metal layer and the second metal layer are electrically
20 connected through the hole by way of the barrier metal.

3. (amended) The wiring structure according to
claim 2, wherein the barrier metal is interposed
between the first metal layer and the second metal
layer, and between the insulating layer and the second
25 metal layer.

4. (amended) The wiring structure according to claim 3, wherein at least one of the first and second metal layers is formed of Cu and the insulating layer is formed of SiO₂.

5 5. The wiring structure according to claim 2 or 3, wherein the hole is a via-hole.

6. (amended) The wiring structure according to claim 5, wherein one of the first metal layer and the second metal layer is formed of any one of Al, W, and Cu; and the other one of the first metal layer and the second metal layer is formed of W or Cu.

7. (deleted)

8. (deleted)

9. (amended) An electrode of a circuit element formed on a semiconductor substrate, comprising:

a polysilicon layer;

a barrier metal formed on the polysilicon layer;

and

a metal layer formed on the barrier metal,

20 wherein the barrier metal is formed of WSi_xN_y (tungsten silicide nitride).

10. (amended) The electrode according to claim 9, wherein the electrode is a gate electrode of a transistor; the polysilicon layer is formed on a gate insulating film formed between a source and a drain of the transistor.

11. The electrode according to claim 9 or 10, wherein the metal layer is formed of W or Cu.

12. (amended) The electrode according to claim 11, wherein the gate insulating film is formed of any one of SiO_2 , SiOF , Ta_2O_5 , and CF_x .

13. (amended) A gate electrode of a transistor formed on a semiconductor substrate, comprising:

a gate insulating film formed between a source and a drain of the transistor;

a barrier metal formed on the gate insulating film; and

a metal layer formed on the barrier metal, wherein the barrier metal is formed of WSi_xN_y (tungsten silicide nitride).

14. The electrode according to claim 9, wherein the electrode is a capacitor electrode and the polysilicon layer is formed on an insulating film.

15. The electrode according to claim 14, wherein the metal layer is formed of any one of Al, W, and Cu.

16. The electrode according to claim 15, wherein the insulating film is formed of any one of SiO_2 , SiOF , Ta_2O_5 , and CF_x .

17. (amended) A method of forming a wiring structure of a semiconductor device, comprising:

forming a first metal layer by depositing a metal film on an insulating film of the semiconductor device;

5 forming an interlayer insulating film over an entire surface of the semiconductor substrate so as to cover the first metal layer from the above;

forming a connecting hole at a predetermined position of the interlayer insulating film so as to
10 pass the interlayer insulating film and reach the first metal layer;

forming a barrier metal of WN_x (tungsten nitride) or WSi_xN_y (tungsten silicide nitride) on from an inner surface of the connecting hole to a surface of the
15 first metal layer exposed in a bottom portion of the connecting hole; and

depositing a metal film on the barrier metal and simultaneously fill the connecting hole with the metal film, thereby forming a second metal layer electrically
20 connected with the first metal layer via the barrier metal.

18. (amended) The method according to claim 17, wherein at least one of the first and second metal layers is formed of Cu and the interlayer insulating
25 film is formed of SiO_2 .

19. The method according to claim 17, wherein the connecting hole is a via-hole.

20. (amended) The method according to claim 19,
wherein one of the first metal layer and the second
metal layer is formed of any one of Al, W, and Cu; and
the other one of the first metal layer and the
5 second metal layer is formed of either W or Cu.

21. (deleted)

22. (deleted)

23. (amended) The method according to claim 17,
wherein the step of forming the barrier metal comprises
10 a first step for forming a W (tungsten) film or a WSi
film on from an inner surface of the connecting hole to
a surface of the first metal layer exposed in a bottom
surface of the connecting hole; and a second step of
nitriding the W film or the WSi film to form a WN_x
15 (tungsten nitride) film or a WSi_xN_y (tungsten silicide
nitride) film.

24. (amended) A method of forming a gate electrode
of a transistor formed on a semiconductor substrate,
comprising

20 forming a barrier metal of WSi_xN_y (tungsten
silicide nitride) on a gate insulating film formed
between a source and a drain of a transistor; and
forming a conducting layer on the barrier metal.

25. (amended) A method of forming a gate electrode of a transistor formed on a semiconductor substrate; comprising

5 forming a polysilicon layer on a gate insulating film formed between a source and a drain of a transistor;

forming a barrier metal of WSi_xN_y (tungsten silicide nitride) on the polysilicon layer; and

10 forming a conducting layer on the barrier metal.

26. (amended) The method according to claim 24 or 25, wherein the conducting layer is formed of W or Cu.

27. (amended) The method according to claim 24 or 25, wherein the gate insulating film is formed any one of SiO_2 , $SiOF$, Ta_2O_5 , and CF_x .



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H01L 21/28, 21/768</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/23694</p> <p>(43) 国際公開日 1999年5月14日(14.05.99)</p>
<p>(21) 国際出願番号 PCT/JP98/04983</p> <p>(22) 国際出願日 1998年11月5日(05.11.98)</p> <p>(30) 優先権データ 特願平9/319059 1997年11月5日(05.11.97) JP 特願平10/207198 1998年7月7日(07.07.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)[JP/JP] 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 松瀬公裕(MATSUSE, Kimihiro)[JP/JP] 〒206-0821 東京都稲城市長峰2-17-10 Tokyo, (JP) 大槻 林(OTSUKI, Hayashi)[JP/JP] 〒400-0423 山梨県中巨摩郡甲西町落合1677-15 Yamanashi, (JP)</p> <p>(74) 代理人 弁理士 鈴江武彦, 外(SUZUYE, Takehiko et al.) 〒100-0013 東京都千代田区霞が関3丁目7番2号 鈴榮内外國特許法律事務所内 Tokyo, (JP)</p>		<p>(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: WIRING STRUCTURE OF SEMICONDUCTOR DEVICE, ELECTRODE, AND METHOD FOR FORMING THEM</p> <p>(54)発明の名称 半導体デバイスの配線構造、電極、及びこれらを形成する方法</p> <p>(57) Abstract A wiring structure for semiconductor devices is characterized in that the structure is provided with a first conductive layer electrically connected to a semiconductor device or wiring formed on a semiconductor substrate, a barrier metal formed on the first conductive layer, and a second conductive layer which is formed on the barrier metal and electrically connected to the first conductive layer through the barrier metal, and the barrier metal is WN_x (tungsten nitride) or $WSi_x N_y$ (tungsten silicide nitride).</p> <div data-bbox="711 1276 1409 1814" data-label="Image"> </div>		

本発明に係る半導体デバイスの配線構造は、半導体基板上に形成された半導体素子もしくは配線と電氣的に接続する第1の導電層と、第1の導電層上に形成されるバリアメタルと、バリアメタル上に形成され、バリアメタルを介して第1の導電層と電氣的に接続される第2の導電層とを具備し、バリアメタルは、 WNx (タングステンナイトライド) または $WSixNy$ (タングステンシリサイドナイトライド) から成ることを特徴とする。

PCTに基づいて公開される国際出願のパフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサオ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	US	米国
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CH	スイス	IN	インド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NO	ノルウェー	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KG	キルギスタン	RO	ルーマニア		
CZ	チェッコ	KP	北朝鮮	RU	ロシア		
DE	ドイツ	KR	韓国	SD	スーダン		
DK	デンマーク	KZ	カザフスタン	SE	スウェーデン		
EE	エストニア	LC	セントルシア				

明 細 書

半導体デバイスの配線構造、電極、及びこれらを形成する方法

技術分野

本発明は、半導体デバイスの配線構造、電極、及びこれらを形成する方法に関する。

背景技術

一般に、半導体集積回路などの半導体集積装置を形成するには、半導体ウエハ上に成膜、酸化拡散、エッチング等を繰り返し施して多数のトランジスタ、キャパシタ、抵抗器等を形成してこれらを配線パターンで接続する。また、集積回路の高性能化、多機能化の要請により、線幅等の一層の高微細化及び高集積化が求められており、更に、回路自体を絶縁層を介して積み上げて階層構造とする多層化も行われるようになった。

このような状況下において、配線断面積や接続部の断面積の減少により抵抗が上昇する傾向があるので、配線材料としては現在一般的に用いられているアルミニウムから、成膜がアルミニウム程容易ではないが、エレクトロマイグレーションに対する耐性も高く、しかも抵抗率も比較的小さいことから銅が用いられる傾向にある。

また、トランジスタ素子に用いるゲート電極としては、一般的にはドーパドポリシリコン層を単独で用いたり、このドーパドポリシリコン層にモリブデンシリサイド層やタンゲステンシリサイド層を積層した2層構造のものを用いたり

しているが、より抵抗率を小さくするために、2層構造のゲート電極において上層のシリサイド層を単独の金属層、例えばタングステン層で置き換えることなどが検討されている。

ところで、銅やタングstenは、金属単独では非常に活性で他の元素と反応し易く、例えば金属銅は拡散係数が大きいため、SiやSiO₂等に拡散して偏析し、欠陥が発生する。このため、抵抗値が大きくなるのみならず、剥離も発生するといった問題があった。

また、2層構造のゲート電極の一層に金属タングsten膜を用いた場合には、下層のドーパドポリシリコン層中のシリコン原子が、上層の金属タングsten膜中のタングstenと相互拡散して反応し、抵抗値が大きなタングstenシリサイドになってしまうという問題があった。

そこで、これらの金属銅や金属タングstenとの反応を防止するために、従来より用いられていたTiN（チタンナイトライド）等のバリアメタルを用いることも考えられるが、このTiN層は金属銅膜や金属タングsten膜との相性、例えば密着性が十分ではなく、好ましいバリアメタルではない。

また、最近の半導体集積回路の更なる高集積化、多層化及び動作速度の高速化の要請により、例えばゲート電極を例にとれば、更に各層を薄膜化して抵抗値を下げることや、エッチング加工時等のアスペクト比を緩くすることが望まれている。

しかしながら、ゲート電極を構成するタングsten膜などは、この薄膜化が進むと、下地層である例えばポリシリコン

層との密着性や耐熱性が劣化してくるという問題がある。そこで、この場合にも、バリアメタルとして両層間に従来周知のTiN膜を介在させることも考えられるが、この場合には、TiN膜とポリシリコン層との界面での密着性が悪くなり、膜剥がれ等が生じるという問題があった。

発明の開示

本発明の目的は、金属銅膜や金属タングステン膜に対して有効なバリアメタルを含む半導体デバイスの配線構造、電極及びこれらの形成方法を提供することにある。また、薄膜化しても特性の良好なゲート電極及びその形成方法を提供することにある。

前記目的を達成するために、本発明の半導体デバイスの配線構造は、半導体基板上に形成された半導体素子もしくは配線と電氣的に接続する第1の導電層と、第1の導電層上に形成されるバリアメタルと、バリアメタル上に形成され、バリアメタルを介して第1の導電層と電氣的に接続される第2の導電層とを具備し、バリアメタルは、 WN_x （タングステンナイトライド）または WSi_xNy （タングステンシリサイドナイトライド）から成ることを特徴とする。

また、本発明は、半導体基板上に形成された回路素子の電極において、ポリシリコン層と、ポリシリコン層上に形成されるバリアメタルと、バリアメタル上に形成される金属層とを具備し、バリアメタルは、 WN_x （タングステンナイトライド）または WSi_xNy （タングステンシリサイドナイトライド）から成ることを特徴とする。

また、本発明は、半導体デバイスの配線構造を形成する方法において、半導体基板の絶縁膜上に金属膜を堆積させて第1の導電層を形成し、第1の導電層を上側から覆うように半導体基板上の全面にわたって層間絶縁膜を形成し、層間絶縁膜の所定の位置に、層間絶縁膜を貫通するように第1の導電層に達する接続孔を形成し、接続孔の内面と接続孔の底部に露出した第1の導電層の表面とにわたって、 WN_x （タングステナイトライド）または WSi_xNy （タングステンシリサイドナイトライド）から成るバリアメタルを形成し、バリアメタル上に金属膜を堆積させるとともにこの金属膜によって接続孔を埋め込むことによって、第1の導電層とバリアメタルを介して電氣的に接続される第2の導電層を形成することを特徴とする。

また、本発明は、半導体基板上に設けられたトランジスタのゲート電極を形成する方法において、トランジスタのソースとドレインとの間に形成されたゲート酸化膜上にポリシリコン層を形成し、ポリシリコン層上に、 WN_x （タングステナイトライド）または WSi_xNy （タングステンシリサイドナイトライド）から成るバリアメタルを形成し、バリアメタル上に金属層を形成することを特徴とする。

図面の簡単な説明

図1は、Cuデュアルダマシン配線に適用したバリアメタルを示す拡大断面図である。

図2は、コンタクトホールに適用したバリアメタルを示す拡大断面図である。

図 3 は、ゲート電極に適用したバリアメタルを示す拡大断面図である。

図 4 は、キャパシタ電極に適用したバリアメタルを示す拡大断面図である。

図 5 は、バリアメタルを形成するための処理装置を示す概略構成図である。

図 6 A 乃至図 6 F は、Cuデュアルダマシンプロセスを説明するための図である。

図 7 は、図 3 に示すゲート電極の部分を示す拡大図である。

図 8 は、ゲート酸化膜として Ta_2O_5 を用いた時のゲート電極の拡大断面図である。

図 9 は、本発明に係るゲート電極と従来のゲート電極とを比較した特性データである。

発明を実施するための最良の形態

以下、図面を参照しながら本発明の実施の形態について説明する。

図 1 は Cuデュアルダマシン配線に適用したバリアメタルを示す拡大断面図、図 2 はコンタクトホールに適用したバリアメタルを示す拡大断面図、図 3 はゲート電極に適用したバリアメタルを示す拡大断面図、図 4 はキャパシタ電極に適用したバリアメタルを示す拡大断面図である。

図 1 に示すような Cuデュアルダマシン配線を形成するデュアルダマシンプロセスは、半導体集積装置すなわち半導体集積回路において、デバイスの高性能化及び多機能化を実現する上で、配線の多層化が必要となり、この時、上層と下

層の配線を接続する際に、配線とビアプラグを同時に形成して工程数の削減、配線の低コスト化及び低アスペクト比化を実現するプロセスである。

図 1 において、2 は例えば半導体ウエハ等の基板であり、4 はこの基板 2 の表面に形成された下層の配線（導電層）であり、この周囲は例えば SiO_2 絶縁膜 6 により絶縁されている。下層の配線 4 は、例えば金属銅の薄膜で形成される。8 は例えば SOG（Spin On Glass）により形成された SiO_2 よりなる層間絶縁膜であり、上記 SiO_2 絶縁膜 6 と下層の配線 4 上を覆うように形成される。この層間絶縁膜 8 は、上述のように SOG により塗布形成されるので、比較的多くの酸素分子が含まれている。

10 は上記下層の配線 4 の一部を露出させるようにして上記層間絶縁膜 8 に形成されたビアホールであり、12 は上記層間絶縁膜 8 の表面に形成される配線溝である。14 は本発明に係る WN_x （タングステンナイトライド； $x = 0.5 \sim 1$ ）或いは WSi_xNy （タングステンシリサイドナイトライド； $x = 0.01 \sim 0.2$ ， $y = 0.02 \sim 0.2$ ）よりなる薄いバリアメタルであり、上記ビアホール 10 の内壁面及び上記配線溝 12 の内壁面に形成される。16 は例えば金属銅よりなる上層の配線（導電層）であり、この配線の形成時に上記ビアホール 10 内も埋め込んでビアホールプラグ 16A も同時に形成される。

この場合、配線 16 の幅 L_1 は、 $1 \mu\text{m}$ 以下、例えば $0.2 \mu\text{m}$ 程度であり、また、バリアメタル 14 の厚さ L_2 は、

0.005～0.05 μm 程度である。

このようにデュアルダマシンプロセスにおいて、銅薄膜よりなる上層の配線 16 及び金属銅のビアホールプラグ 16A と SOG により形成された層間絶縁膜 8 との間に、 WNx 或いは WSixNy よりなる薄いバリアメタル 14 を介在させたので、ビアプラグ 16A や上層の配線 16 中の金属銅が層間絶縁膜 8 の中へ拡散することができず、従って、偏析や欠陥の発生を防止することができる。このため、ビアホールプラグ 16A や上層の配線 16 を低い抵抗値のままで維持でき、また、この密着性が劣化することもないので、金属銅が剥がれることも防止することができる。

なお、上記構成の変形例では、下層の配線 4 と上層の配線 16 のうち的一方が Al、W、Cu のうちのいずれか 1 つによって形成され、下層の配線 4 と上層の配線 16 のうちの他方が W または Cu によって形成されている。

図 2 は本発明のバリアメタルをコンタクトホールに適用した時の図を示しており、図中、18 は基板 2 に形成されたトランジスタのソース或いはドレイン（導電層）であり、ここではソースとして話を進める。20 はソース 18 を含むトランジスタ全体を被って絶縁するための層間絶縁膜であり、この絶縁膜 20 は、図 1 にて説明したと同様に、SOG により形成された SiO_2 膜よりなる。22 は、上記ソース 18 の表面を露出させるようにして形成されたコンタクトホールであり、この内壁面と層間絶縁膜 20 の上面には、本発明に係る WNx 或いは WSixNy よりなる薄いバリアメタ

ル 1 4 が形成されている。そして、このコンタクトホール 2 2 内は金属銅よりなるコンタクトホールプラグ 2 4 A により埋め込まれ、同時にこの上部に金属銅が積層形成されてパターンエッチングにより配線（導電層） 2 4 が形成される。尚、図示例では、層間絶縁膜 2 0 上のバリアメタル 1 4 もパターンエッチングされた状態を示している。

この場合にも、 SiO_2 よりなる層間絶縁膜 2 0 と金属銅よりなるコンタクトホールプラグ 2 4 A 及び配線 2 4 との間に、 WN_x 或いは WSi_xNy よりなる薄いバリアメタル 1 4 を介在させるようにしたので、層間絶縁膜 2 0 中へ金属銅が拡散することを阻止することができる。従って、これらを構成する金属銅の偏析や欠陥の発生を防ぎ、低い抵抗値に維持できるのみならず、密着性が劣化することも防止してこれが剥がれることも阻止することができる。

なお、上記構成では、ドレインまたはソース 1 8 がシリコン（ Si ）によって形成される。また、配線 2 4 は、 Al 、 W によって形成されていてもよい。

図 3 は本発明のバリアメタルをゲート電極に適用した時の図を示しており、図中、1 8 及び 1 9 は、それぞれ基板 2 の表面に形成されたトランジスタ素子のソース及びドレインであり、これらの間に薄いゲート酸化膜 2 6 が形成されている。そして、このゲート酸化膜 2 6 上にゲート電極 2 8 が形成されるが、このゲート電極 2 8 は、下層より例えばリンドーブのポリシリコン層 3 0、本発明の WN_x 或いは WSi_xNy よりなる薄いバリアメタル 1 4 及びタンゲステンか

らなる金属層 3 2 を順次積層した 3 層構造になっている。

この場合にも、ポリシリコン層 3 0 と金属層 3 2 との間に、本発明のバリアメタル 1 4 を介在させるようにしたので、このバリアメタル 1 4 によりポリシリコン層 3 0 中のシリコン原子と金属層 3 2 の金属原子が相互拡散することを阻止でき、従って、金属層 3 2 がシリサイド化されることや、ピット（空孔）の発生を防止することができる。このため、金属層 3 2 の抵抗値が増加することを防止することができるのみならず、この金属層 3 2 が剥離することも防止することができる。

なお、上記構成において、金属層 3 2 は Cu によって形成されていても良い。また、ゲート酸化膜 2 6 は、 SiO_2 、 SiOF 、 Ta_2O_5 、 CF_x （ $x = 1 \sim 4$ ）のうちのいずれか 1 つによって形成されている。

図 4 は本発明のバリアメタルをキャパシターに適用した時の構造を示している。

キャパシターの一方の電極となる拡散層 1 7 が基板 2 の表面に形成されている。その上に薄い絶縁層 2 6 がキャパシターの誘電層として形成されている。その上にキャパシターの他方の電極として、ポリシリコン 3 0 / バリアメタル 1 4 / 金属層 (W) 3 2 の三層構造が形成されている。バリアメタル 1 4 は、 WN_x 或いは WSi_xNy より形成される。これにより、金属層 3 2 がシリサイド化されず、抵抗値の増加が防止できる。また、金属層 3 2 の剥離も防止できる。

この場合にも、ポリシリコン層 3 0 と金属層 3 2 との間に、

本発明のバリアメタル 14 を介在させるようにしたので、このバリアメタル 14 によりポリシリコン層 30 中へ金属層 32 の金属原子が拡散することを阻止でき、従って、金属層 32 がシリサイド化されることを防止することができる。このため、金属層 32 の抵抗値が低下することを防止することができるのみならず、この金属層 32 が剥離することも防止することができる。

なお、上記構成において、金属層 32 は Cu や Al によって形成されていても良い。また、ゲート酸化膜 26 は、SiO₂、SiOF、Ta₂O₅、CF_x (x = 1 ~ 4) のうちのいずれか 1 つによって形成されている。

次に、上述したような配線構造および電極の形成方法について説明する。

図 5 はバリアメタルを形成するための処理装置を示す概略構成図であり、まず、この処理装置を説明する。図示するように、この処理装置は、例えばアルミニウム製の円筒体状の処理容器 34 を有しており、この容器 34 内には、基板 2 を載置する載置台 36 が設けられる。載置台 36 内には、基板 2 を所定のプロセス温度に加熱するための加熱ヒータ 38 が設けられている。尚、加熱ヒータ 38 に替えて、処理容器の下方に加熱ランプを設けて、基板 2 をランプ加熱するようにしてもよい。

この処理容器 34 及び載置台 36 はそれぞれアースされており、載置台 36 は、高周波を使用する時に下部電極を兼用するようになっている。処理容器 34 の底部には、排気口

40が設けられ、この排気口40には、真空ポンプ42を介した真空排気系が接続される。処理容器34の側壁には、ゲートバルブ41を介してロードロック室44が連結されており、処理容器34内との間で基板2の受け渡しを行うようになっている。

また、この処理容器34の天井部には、絶縁材46を介して多数のガス噴射孔50を有するシャワーヘッド部48が設けられている。このシャワーヘッド部48には、スイッチ52及びマッチング回路54を介して例えば13.56MHzの高周波電源56が接続されており、必要に応じてシャワーヘッド部48に、高周波電力を印加してこれを上部電極と兼用させ、プラズマ処理を行なうことができるようになっている。プラズマ印加の手法は、これに限定されず、下部電極に高周波電力を印加するようにしてもよいし、また、上下の電極に高周波電力を印加するようにしてもよい。

そして、このシャワーヘッド部48には、複数のガス源が、それぞれ開閉弁58及びマスフローコントローラ60を介して連結されている。ガス源としては、WF₆源62、MMH（モノメチルヒドラジン）源64、SiH₄（シラン）源66、NH₃源68、N₂源70、Ar源72、H₂源74、ClF₃源75等がそれぞれ必要に応じて設けられ、選択的に使用される。また、SiH₄ガスに替えて、ジシラン（Si₂H₄）、ジクロルシラン（SiH₂Cl₂）を用いてもよい。

次に、上記構成の装置を用いて行われる本発明の配線構造

の形成方法を具体的に説明する。

まず、この配線構造形成方法には、1つの工程で一気にバリアメタルを形成する方法等がある。以下、その方法について順に説明する。ここでは、前述したCuデュアルダマシンプロセスによりデュアルダマシン配線（図1参照）を行なう場合を例にとりて説明する。尚、このバリアメタルをコンタクトホールに適用する場合にも、バリアメタル形成の前後の工程は異なるが、バリアメタルの形成方法は全て同じである。

(1) 1工程によるWSi_xNyの形成（プラズマレス）。

まず、1工程でWSi_xNyバリアメタルを形成する方法について説明する。まず、図5に示す処理装置とは別の装置で、公知の方法により、図6（A）に示すように基板2のSiO₂絶縁層6と下層の配線4を覆ってSOGによりSiO₂層間絶縁膜8を全面に形成する。そして、公知の方法によって、この層間絶縁膜8に配線パターンに沿って配線溝12をエッチング等により形成し（図6（B））、更に、この配線溝12内の所定の位置に、ビアホール10をエッチング等により形成して下層の配線4を露出させる（図6（C））。

ここまで基板2に対して処理を施したならば、この基板2を図4に示した処理装置内へ搬入してバリアメタルの形成に移る。

基板2を処理容器34の載置台36上に載置したならば、容器34内を密閉し、基板2を所定のプロセス圧力に維持すると共にシャワーヘッド部48から所定の処理ガスを導入し、これと共に処理容器34内を真空引きして所定のプロセ

ス圧力に維持してバリア金属の形成プロセスを行う。処理ガスとしては、 WF_6 ガス、 SiH_4 ガス及びMMHガスをそれぞれ供給し、プラズマを用いない熱CVD (Chemical Vapor Deposition) により、一気に WSi_xNy 膜よりなるバリア金属14を所定の厚みだけ成膜する(図6(D))。

ここでは基板2として、8インチウエハを用いており、この時の各処理ガスの流量は、 WF_6 ガスが、2～20 sccm程度、 SiH_4 ガスが、10～300 sccm程度、MMHガスが、1～10 sccm程度である。プロセス温度は300～450℃程度、プロセス圧力は0.4～80 Torr程度である。シランに替えてジクロルシランを用いる場合には、他のガスの流量、プロセス圧力は同じで、プロセス温度が550～650℃程度である。尚、これらの数値は、後述する数値も含めて単に一例を示したに過ぎず、適宜最適条件を求めて変更するのは勿論である。

このような方法により、1工程でバリア金属14を形成することができ、工程数の削減が可能となる。

このようにして、バリア金属14の形成が完了したならば、例えばこの基板2を処理装置から搬出し、CVD等により配線金属として金属銅を表面に堆積させてビアホール10と配線溝12内を同時に埋め込み、これにより、ビアホール10は、ビアホールプラグ16Aにより埋め込まれ、配線溝12には上層の配線16が形成される(図6(E))。尚、この金属銅のCVD処理は、バリア金属を形成した処

理装置と同一処理装置内で行うようにしてもよい。

次に、金属銅が堆積された基板を処理装置から取り出し、これにCMP (Chemical Mechanical Polishing) 処理等を施すことにより、上面の不要な金属銅を研磨除去し、上層の配線パターンを形成する(図6(F))。これにより、Cuデュアルダマシン配線を完了することになる。

この実施例では、バリアメタル14に窒素原子を混入させるガスとしてMMHガスを用いたが、これに替えて、 NH_3 ガス或いは N_2 ガスを用いてもよいし、必要に応じてキャリアガスとして不活性ガス、例えばArガスを用いてもよい。また、 SiH_4 ガスに替えて、ジクロルシラン、ジシラン等を用いてもよいのは勿論である。

(2) 1工程による WN_x の形成(プラズマレス)。

次に、1工程で WN_x バリアメタルを形成する方法について説明する。図6(D)に示す工程以外は全て上述した操作と同じであるので、図6(D)に示す工程を行う場合のみを説明する。ここでは、処理ガスとしては WF_6 ガスとMMHガスを供給し、プラズマを用いない熱CVDにより、一気に WN_x 膜よりなるバリアメタル14を所定の厚みだけ成膜する。

この時の処理ガスの流量は、8インチウエハの場合、 WF_6 ガスが、5～80 sccm程度、MMHガスが、1～20 sccm程度である。プロセス温度は300～450℃程度、プロセス圧力は0.5～80 Torr程度である。

この場合には、使用する処理ガスの種類が2種類で済み、ガス供給系の構成を非常に簡単化できる。また、この場合にも、MMHガスに替えて、 NH_3 ガス或いは N_2 ガスを用いてもよいのは勿論である。

(3) 2工程による WSi_xNy の形成。

次に、2工程で WSi_xNy バリアメタルを形成する方法について説明する。ここでは、図6(C)に示す工程を経た後、図5に示す処理装置内で、まず、 WSi 層の成膜工程を行う。この時の処理ガスとしては WF_6 ガスと SiH_4 ガスを用い、これらをキャリアガス、例えば Ar ガスを用いて、或いは用いないで供給し、プラズマレスの熱CVDにより WSi 膜を堆積させる。この時の処理ガスの流量は、8インチウエハの場合、 WF_6 ガスが、2～80 sccm程度、 SiH_4 ガスが5～40 sccm程度である。プロセス温度は300～450℃程度、プロセス圧力は0.5～80 Torr程度である。尚、 SiH_4 に替えてジクロルシラン、ジシラン等を用いてもよいのは勿論である。

このようにして WSi 膜の形成が完了したならば、 WF_6 ガスと SiH_4 ガスの供給を断ち、次に、MMHガスを供給して上記 WSi 膜を窒化処理して WSi_xNy のバリアメタル14を形成する。この時のMMHガスの流量は、1～20 sccm程度、プロセス温度は、300～450℃程度、プロセス圧力は、0.5～10 Torr程度である。これにより、バリアメタル14の形成が完了することになる。このようにMMHガスを用いて窒化処理をするのは、上述のよう

にプロセス温度が低いので、反応副生成物が比較的発生し難くなり、パーティクル対策上、非常に有利である。

ここでMMHガスに替えて、 NH_3 ガスや N_2 ガスを用いてもよい。また、成膜工程と窒化工程との間に、処理容器34内に N_2 ガスをパージして成膜で用いた WF_6 ガスを完全に排除するのがよい。特に、窒化工程においてMMHガスに替えて NH_3 ガスを用いる場合には、 WF_6 ガスが処理容器内に残留すると、アンモニアとフッ化ガスにより除去が困難な副反応生成物が形成されるので、窒化処理に入る前に、完全に WF_6 ガスを排除するのが好ましい。 NH_3 ガスを用いる場合には、プロセス温度は $300 \sim 450^\circ\text{C}$ 程度である。

また、MMHガスに替えて N_2 ガスを用いる場合には、スイッチ52を投入して高周波電力を上部電極（シャワーヘッド部）48と下部電極（載置台）36との間に印加し、内部にプラズマを立ててプラズマ窒化処理を行う。この時の N_2 ガスの供給量は、 $50 \sim 300 \text{ sccm}$ 程度であり、プロセス温度は $300 \sim 450^\circ\text{C}$ 程度であり、プロセス圧力は $0.1 \sim 5 \text{ Torr}$ 程度（いずれも8インチウエハの場合）である。

このように、2つの工程を同一処理装置内で行えば、ウエハ搬送に要する時間を節約できるのでスループットを向上できるが、上記成膜工程と窒化工程を別々の処理装置で実行してもよいのは勿論である。

（4）2工程による WN_x の形成。

次に、2工程で WN_x バリアメタルを形成する方法について

て説明する。ここでは、図 6 (C) に示す工程を経た後、図 5 に示す装置内で、まず W 層の成膜工程を行う。この時の処理ガスとしては WF_6 ガスと H_2 ガスを用い、プラズマレスの熱 CVD により W 膜を堆積させる。この時の処理ガスの流量は、8 インチウエハの場合、 WF_6 ガスが、5 ~ 100 sccm 程度、 H_2 ガスが 100 ~ 1000 sccm 程度である。プロセス温度は、300 ~ 450 °C 程度、プロセス圧力は 1 ~ 80 Torr 程度である。

このようにして、W 膜の形成が完了したならば、 WF_6 ガスと H_2 ガスの供給を断ち、次に、MMH ガスを供給して上記 W 膜を窒化処理して WN_x のバリアメタル 14 を形成する。この時の MMH ガスの流量は、8 インチウエハの場合、1 ~ 10 sccm 程度、プロセス温度は、300 ~ 450 °C 程度、プロセス圧力は、0.1 ~ 5 Torr 程度である。これにより、バリアメタル 14 の形成が完了することになる。このように、MMH ガスを用いて窒化処理をするのは、上述のようにプロセス温度が低くて済むので、反応副生成物が比較的発生し難くなり、パーティクル対策上有利となる。

ここでも、先の (3) で説明したように MMH ガスに替えて、 NH_3 ガスや N_2 ガスを用いてもよい。また、成膜工程と窒化工程との間に、処理容器 34 内に N_2 ガスをパージして成膜で用いた WF_6 ガスを完全に排除するのがよい。特に、窒化工程において MMH ガスに替えて NH_3 ガスを用いる場合には、 WF_6 ガスが処理容器内に残留すると、アンモニアとフッ化ガスにより除去が困難な副反応生成物が形成さ

れるので、窒化処理に入る前に、完全に WF_6 ガスを排除するのが好ましい。 NH_3 ガスを用いる場合には、プロセス温度は $300 \sim 450^\circ C$ 程度である。

また、MMHガスに替えて N_2 ガスを用いる場合には、スイッチ52を投入して高周波電力を上部電極（シャワーヘッド部）48と下部電極（載置台）36との間に印加し、内部にプラズマを立ててプラズマ窒化処理を行う。この時の N_2 ガスの供給量は、 $50 \sim 300 \text{ sccm}$ 程度であり、プロセス温度は $300 \sim 450^\circ C$ 程度であり、プロセス圧力は、 $0.1 \sim 5 \text{ Torr}$ 程度である。

このように、2つの工程を同一処理装置内で行なえば、ウエハ搬送に要する時間を節約できるのでスループットを向上できるが、上記成膜工程と窒化工程を別々の処理装置で実行してもよいのは勿論である。

以上のようにして各方法で形成したバリアメタル14は、特性検査の結果、酸素原子或いはシリコン原子に対するバリア性が十分に高いことを確認することができた。

次に、本発明のゲート電極及びその形成方法について説明する。

ここでは図3において説明したゲート電極28について更に詳しく説明する。図7は図3に示すゲート電極の部分を示す拡大図である。バリアメタル14としては、ここではタングステンナイトライド(WN_x)を用いた場合を例にとって説明する。図3において説明したように、例えばシリコン単結晶よりなる半導体ウエハ等の基板2のゲート酸化膜2

6の両側には、ソース18、ドレイン19が形成されている。ゲート酸化膜26としては、ここではシリコン酸化膜(SiO_2)を用いている。

また、例えばリンドープのポリシリコン層30は、前述したような他の成膜装置で公知の方法により成膜され、その後、この基板Wを図5に示すような成膜装置へ搬入する。

WNx膜の形成には、前述したようなプラズマレスの熱CVDにより1工程で形成する場合と、2工程で形成する場合とがあり、どちらを用いてもよい。

まず、1工程でWNx膜を形成する場合には、前述したように処理ガスとしては WF_6 ガスとMMHガスを供給し、プラズマを用いない熱CVDにより、一気にWNx膜よりなるバリアメタル14をポリシリコン層30上に所定の厚みだけ成膜する。この時の処理ガスの流量は、8インチウエハの場合、 WF_6 ガスが、5～80 sccm程度、MMHガスが、1～20 sccm程度である。プロセス温度は300～450℃程度、プロセス圧力は0.5～80 Torr程度である。

この場合には、使用する処理ガスの種類が2種類で済み、ガス供給系の構成を非常に簡単化できる。また、MMHガスに替えて、 NH_3 ガス或いは N_2 ガスを用いてもよいのは勿論である。

また、2工程でWNx膜を形成する場合には、前述したようにまず、最初にW層の成膜工程を行う。この時の処理ガスとしては WF_6 ガスと H_2 ガスを用い、プラズマレスの熱CVDによりW膜を堆積させる。この時の処理ガスの流量は、

8 インチウエハの場合、 WF_6 ガスが、 $5 \sim 100 \text{ sccm}$ 程度、 H_2 ガスが、 $100 \sim 1000 \text{ sccm}$ 程度である。プロセス温度は、 $300 \sim 450^\circ\text{C}$ 程度、プロセス圧力は $1 \sim 80 \text{ Torr}$ 程度である。

このようにして、W 膜の形成が完了したならば、 WF_6 ガスと H_2 ガスの供給を断ち、次に、MMH ガスを供給して上記 W 膜を窒化処理して WN_x のバリアメタル 14 を形成する。この時の MMH ガスの流量は、 $1 \sim 10 \text{ sccm}$ 程度、プロセス温度は、 $300 \sim 450^\circ\text{C}$ 程度、プロセス圧力は、 $0.1 \sim 5 \text{ Torr}$ 程度である。これにより、バリアメタル 14 の形成が完了することになる。このように、MMH ガスを用いて窒化処理をするのは、上述のようにプロセス温度が低くて済むので、反応副生成物が比較的発生し難くなり、パーティクル対策上有利となる。

ここでも、MMH ガスに替えて、 NH_3 ガスや N_2 ガスを用いてもよい。また、成膜工程と窒化工程との間に、処理容器 34 内に N_2 ガスをパージして成膜で用いた WF_6 ガスを完全に排除するのがよい。特に、窒化工程において MMH ガスに替えて NH_3 ガスを用いる場合には、 WF_6 ガスが処理容器内に残留すると、アンモニアとフッ化ガスにより除去が困難な副反応生成物が形成されるので、窒化処理に入る前に、完全に WF_6 ガスを排除するのが好ましい。 NH_3 ガスを用いる場合には、プロセス温度は $300 \sim 450^\circ\text{C}$ 程度である。

このようにして、1 工程で或いは 2 工程で WN_x 膜のバリ

アメタル 14 を形成したならば、同一処理容器 34 内で上層のタングステン層 32 を形成する。このタングステン層 32 の成膜条件は、先に示した 2 工程による WN_x 層の前段の W 膜の成膜工程と同じであり、処理ガスとしては WF_6 ガスと H_2 ガスを用い、プラズマレスの熱 CVD により W 膜を所定の厚さだけ堆積させる。この時の処理ガスの流量は、8 インチウエハの場合、 WF_6 ガスが $5 \sim 100 \text{ sccm}$ 程度、 H_2 ガスが $100 \sim 1000 \text{ sccm}$ 程度である。プロセス温度は $300 \sim 450^\circ\text{C}$ 程度、プロセス圧力は $1 \sim 80 \text{ Torr}$ 程度である。この時の各層の厚さは、例えば 1 G ビットの容量に対応するメモリのデザインルールに適用できるように、ゲート酸化膜 26 が 20 \AA 程度、ポリシリコン層 30 が 500 \AA 程度、バリアメタル 14 が 50 \AA 程度、金属層（タングステン）層 32 が 500 \AA 程度である。

このようにしてタングステン層 32 を形成することにより、ゲート電極 28 を形成する。このように、バリアメタル 14 とタングステン層 32 は金属材料として同一の材料、すなわちタングステンをを用いているので、同一の成膜装置内で連続的に成膜することができ、基板の搬出搬入操作が不要になって生産性を向上させることができる。

また、ポリシリコン-メタルゲート電極に、このようにバリアメタルとして WN_x 層を用いることにより、抵抗値も非常に少なく、両層間の密着性及び耐熱性も高く維持でき、高いバリア性を発揮させることができる。特に、バリアメタル 14 を 50 \AA 程度まで薄膜化しても上述したような十分な

バリア性を備えており、半導体集積回路の薄膜化及び多層化に対応することができる。

ここで、本発明のゲート電極と従来において一般的に用いられていたゲート電極の特性を評価したので、その結果を図 9 に示す。

図 9 中において、比較例 1、2 は従来 of ゲート電極を示し、比較例 1 はポリシリコン層とタングステンシリサイド層のゲート電極、比較例 2 はポリシリコン層とチタンシリサイド層のゲート電極をそれぞれ示す。

図 9 から明らかなように、ゲート電極として特性上重要な抵抗値及び耐熱性において共に優れているのみならず、HF（フッ化水素）に対する腐食性を示す耐薬品性や成膜時のエッチング特性も良好であることが判明する。尚、成膜時のエッチング特性が少ないことは、膜厚のコントロール性が良好であることを意味し、薄い膜厚のゲート電極を精度良く作ることができることになる。

これに対し、比較例 1 は耐熱性は良好であるが、重要な要素である抵抗値がかなり大きく、好ましくない。また、比較例 2 は抵抗値が大きいのみならず、耐熱性も評価の基準となる 850℃ よりも低く、好ましくない。

尚、上記実施例では、ゲート酸化膜 26 として SiO_2 を用いた場合を例にとって説明したが、これに限定されず、ゲート酸化膜 26 として更に薄膜化に対応したタンタルオキサイド (Ta_2O_5) を用いることもできる。

図 8 はゲート酸化膜として Ta_2O_5 を用いた時のゲー

ト電極の拡大断面図を示している。図 8 に示すゲート電極の場合には、ポリシリコン層を用いなくて、 Ta_2O_5 のゲート酸化膜 26 上に、 WN_x 膜よりなるバリアメタル 14 を直接形成し、更にこの上にタングステン層 32 を形成している。

このバリアメタル 14 及びタングステン層 32 の成膜は、先に示したように同一の成膜装置内で連続的に処理することにより形成すればよい。この場合にも、前述したと同様に WN_x 膜のバリアメタル 14 が有効にバリア性を発揮するのみならず、ポリシリコン層を省略できた分だけゲート電極 28 の厚みを更に小さくでき、ゲート酸化膜 26、バリアメタル 14 及びタングステン層 32 を含めた全体の厚みを例えば 1000 Å 程度までに小さくでき、4 G ビットの容量のメモリのデザインルールにも適用することができる。

尚、本発明実施例で用いる WN_x や WSi_xNy は、他の主要な膜同様、 ClF_3 ガスを含むガスでクリーニングできる。適当な枚数のウエハに成膜処理をする毎にクリーニングを行えば、パーティクルの発生が抑えられ、高品質の成膜が可能となる。

また、上記実施例では、高融点金属材料としてタングステンを用いた場合を例にとって説明したが、これに限定されず、例えばモリブデン (Mo) を用いてもよい。また、上記実施例では、基板として半導体ウエハを用いた場合を例にとって説明したが、これに限定されず、LCD 基板、ガラス基板にも適用することができるのは勿論である。

請 求 の 範 囲

1. 半導体基板上に形成された半導体素子もしくは配線と電氣的に接続する第1の導電層と、

第1の導電層上に形成されるバリアメタルと、

バリアメタル上に形成され、バリアメタルを介して第1の導電層と電氣的に接続される第2の導電層と、

を具備し、

バリアメタルは、 WN_x (タングステンナイトライド) または WSi_xNy (タングステンシリサイドナイトライド) から成ることを特徴とする半導体デバイスの配線構造。

2. 第1の導電層と第2の導電層との間にはこれらの層同士を電氣的に絶縁する絶縁層が介在され、絶縁層にはこれを貫通するようにホールが形成され、このホールを通じて第1の導電層と第2の導電層とがバリアメタルを介して電氣的に接続されることを特徴とする請求項1に記載の配線構造。

3. バリアメタルは、第1の導電層と第2の導電層との間および絶縁層と第2の導電層との間に介在されていることを特徴とする請求項2に記載の配線構造。

4. 第1および第2の導電層の少なくとも一方がCuによって形成され、絶縁層が SiO_2 によって形成されていることを特徴とする請求項3に記載の配線構造。

5. 前記ホールがビアホールであることを特徴とする請求項2または請求項3に記載の配線構造。

6. 第1の導電層と第2の導電層のうちの一方は、Al、W、Cuのうちのいずれか1つによって形成され、

第 1 の導電層と第 2 の導電層のうちの他方は、W または Cu によって形成されていることを特徴とする請求項 5 に記載の配線構造。

7. 前記ホールがコンタクトホールであることを特徴とする請求項 2 または請求項 3 に記載の配線構造。

8. 第 1 の導電層と第 2 の導電層のうちの一方は、Al、W、Cu のうちのいずれか 1 つによって形成され、

第 1 の導電層と第 2 の導電層のうちの他方は、Si によって形成されていることを特徴とする請求項 7 に記載の配線構造。

9. 半導体基板上に形成された回路素子の電極において、
ポリシリコン層と、
ポリシリコン層上に形成されるバリアメタルと、
バリアメタル上に形成される金属層と、
を具備し、

バリアメタルは、 WN_x (タングステンナイトライド) または WSi_xNy (タングステンシリサイドナイトライド) から成ることを特徴とする電極。

10. 前記電極はトランジスタのゲート電極であって、前記ポリシリコン層は、トランジスタのソースとドレインとの間に形成されるゲート酸化膜上に形成されることを特徴とする請求項 9 に記載の電極。

11. 前記金属層が W または Cu によって形成されていることを特徴とする請求項 9 または請求項 10 に記載の電極。

12. 前記ゲート酸化膜は、 SiO_2 、 $SiOF$ 、 Ta_2O

5、 CF_x のうちのいずれか1つによって形成されていることを特徴とする請求項11に記載の電極。

13. 半導体基板上に形成されたトランジスタのゲート電極において、

トランジスタのソースとドレインとの間に形成されるゲート酸化膜と、

ゲート酸化膜上に形成されるバリアメタルと、

バリアメタル上に形成される金属層と、

を具備し、

バリアメタルは、 WN_x （タングステンナイトライド）または WSi_xNy （タングステンシリサイドナイトライド）から成ることを特徴とするゲート電極。

14. 前記電極はキャパシタ電極であって、前記ポリシリコン層は絶縁膜上に形成されていることを特徴とする請求項9に記載の電極。

15. 前記金属層がAl、W、Cuのいずれか1つによって形成されていることを特徴とする請求項14に記載の電極。

16. 前記絶縁膜は、 SiO_2 、 $SiOF$ 、 Ta_2O_5 、 CF_x のうちのいずれか1つによって形成されていることを特徴とする請求項15に記載の電極。

17. 半導体デバイスの配線構造を形成する方法において、半導体基板の絶縁膜上に金属膜を堆積させて第1の導電層を形成し、

第1の導電層を上側から覆うように半導体基板上の全面

にわたって層間絶縁膜を形成し、

層間絶縁膜の所定の位置に、層間絶縁膜を貫通するように第1の導電層に達する接続孔を形成し、

接続孔の内面と接続孔の底部に露出した第1の導電層の表面とにわたって、 WN_x （タングステンナイトライド）または WSi_xNy （タングステンシリサイドナイトライド）から成るバリアメタルを形成し、

バリアメタル上に金属膜を堆積させるとともにこの金属膜によって接続孔を埋め込むことによって、第1の導電層とバリアメタルを介して電氣的に接続される第2の導電層を形成することを特徴とする方法。

18. 第1および第2の導電層の少なくとも一方がCuによって形成され、層間絶縁膜が SiO_2 によって形成されていることを特徴とする請求項17に記載の方法。

19. 前記接続孔がビアホールであることを特徴とする請求項17に記載の方法。

20. 第1の導電層と第2の導電層のうちの一方は、Al、W、Cuのうちのいずれか1つによって形成され、

第1の導電層と第2の導電層のうちの他方は、WまたはCuによって形成されていることを特徴とする請求項19に記載の方法。

21. 前記接続孔がコンタクトホールであることを特徴とする請求項17に記載の方法。

22. 第1の導電層と第2の導電層のうちの一方は、Al、W、Cuのうちのいずれか1つによって形成され、

第1の導電層と第2の導電層のうちの他方は、Siによって形成されていることを特徴とする請求項21に記載の方法。

23. 前記バリアメタルの形成工程は、接続孔の内面と接続孔の底部に露出した第1の導電層の表面とにわたってW(タングステン)膜またはWSi膜を形成する第1の工程と、W膜またはWSi膜を窒化処理してWNx(タングステンナイトライド)膜またはWSixNy(タングステンシリサイドナイトライド)膜を形成する第2の工程とからなることを特徴とする請求項17に記載の方法。

24. 半導体基板上に設けられたトランジスタのゲート電極を形成する方法において、

トランジスタのソースとドレインとの間に形成されたゲート酸化膜上に、WNx(タングステンナイトライド)またはWSixNy(タングステンシリサイドナイトライド)から成るバリアメタルを形成し、

バリアメタル上に金属層を形成することを特徴とする方法。

25. 半導体基板上に設けられたトランジスタのゲート電極を形成する方法において、

トランジスタのソースとドレインとの間に形成されたゲート酸化膜上にポリシリコン層を形成し、

ポリシリコン層上に、WNx(タングステンナイトライド)またはWSixNy(タングステンシリサイドナイトライド)から成るバリアメタルを形成し、

バリアメタル上に金属層を形成することを特徴とする方法。

26. 前記金属層がWまたはCuによって形成されていることを特徴とする請求項24または請求項25に記載の方法。

27. 前記ゲート酸化膜は、 SiO_2 、 SiOF 、 Ta_2O_5 、 CF_x のうちのいずれか1つによって形成されていることを特徴とする請求項24または請求項25に記載の方法。

1/4

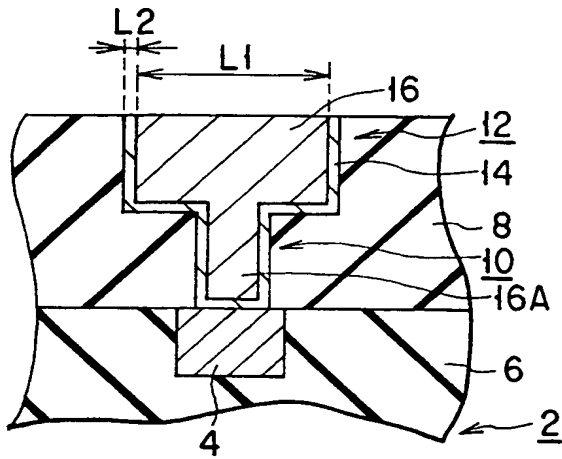


FIG. 1

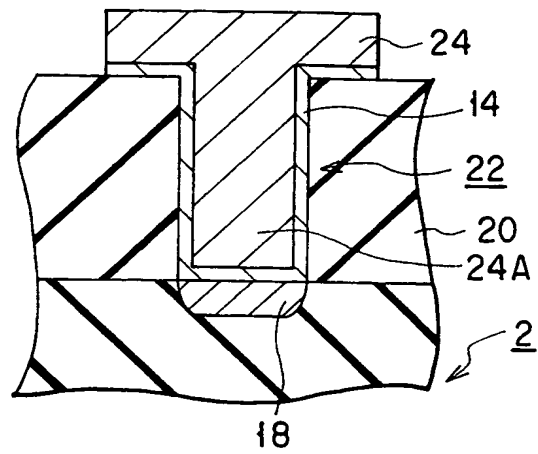


FIG. 2

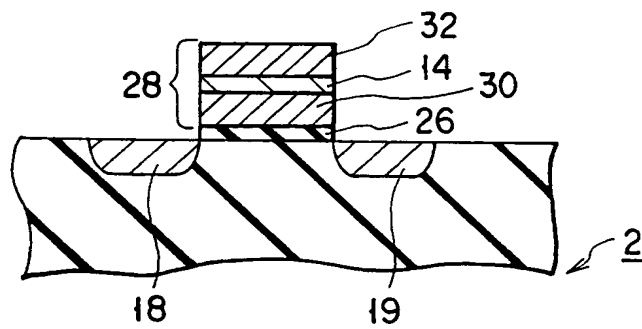


FIG. 3

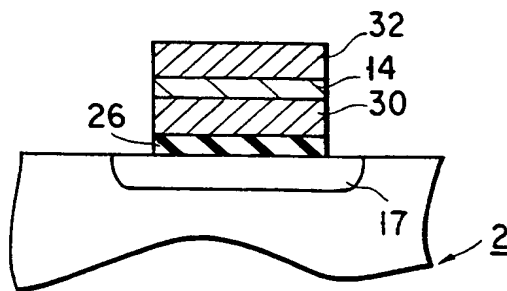


FIG. 4

2/4

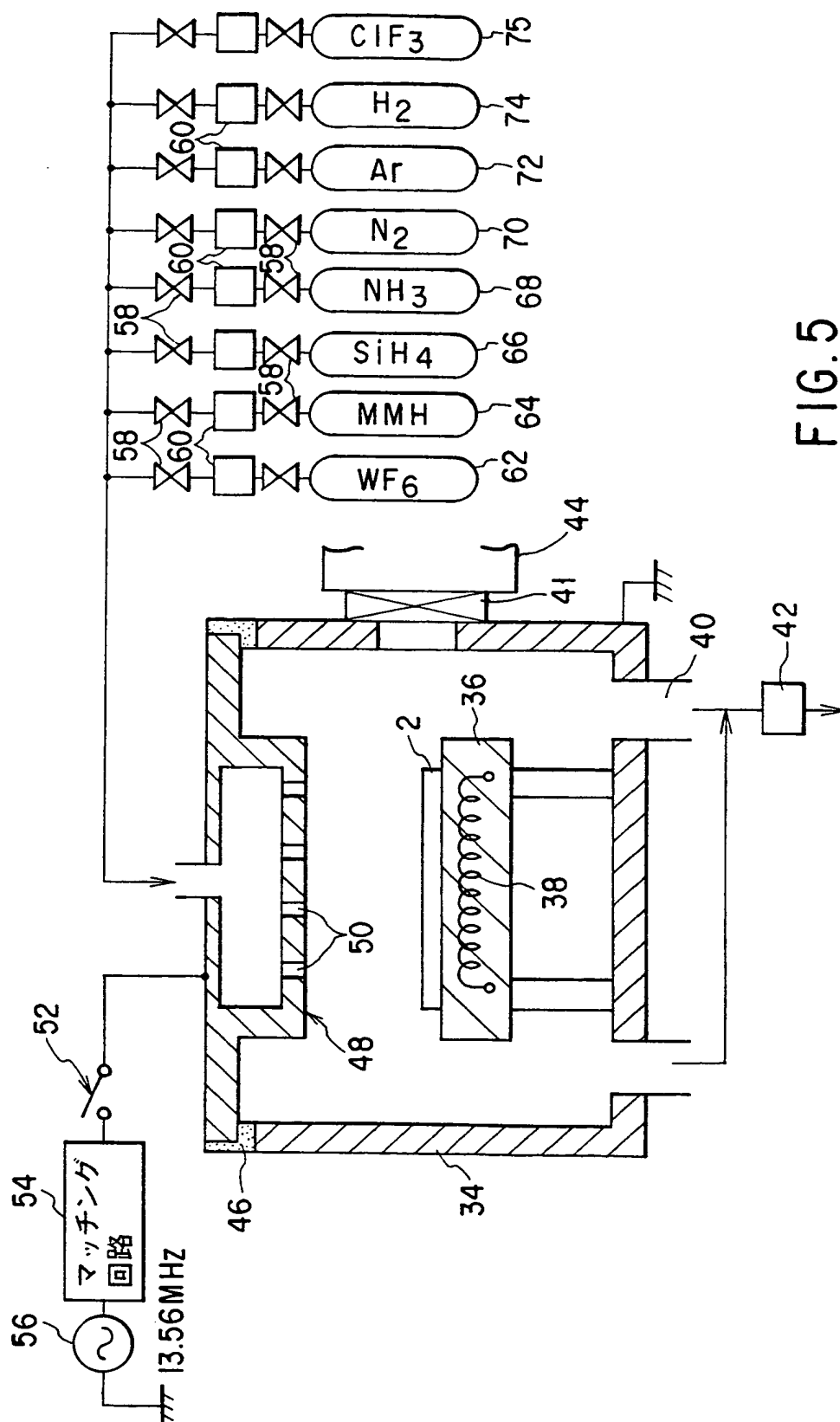


FIG. 5

3/4

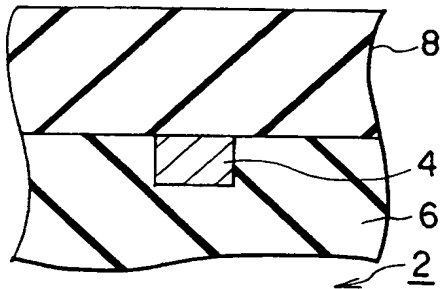


FIG. 6A

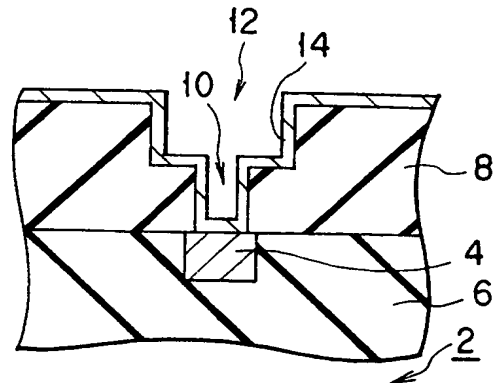


FIG. 6D

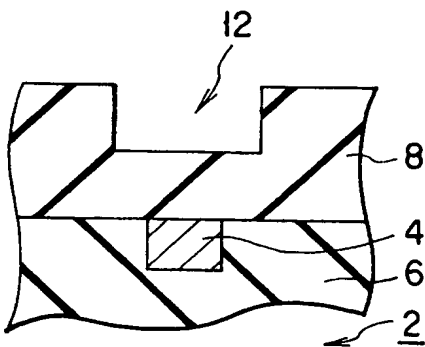


FIG. 6B

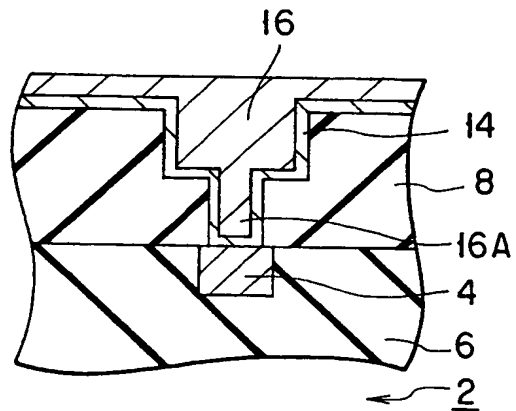


FIG. 6E

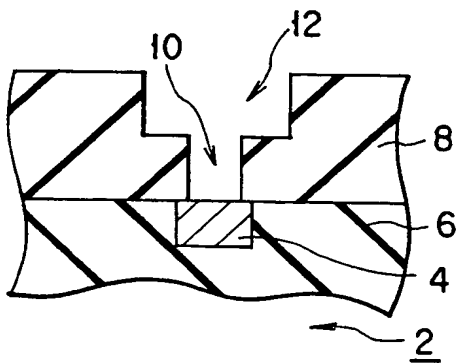


FIG. 6C

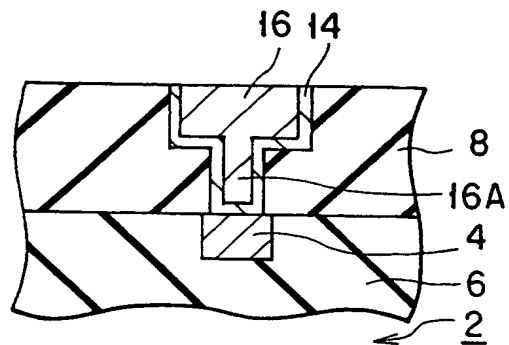


FIG. 6F

4/4

FIG. 7

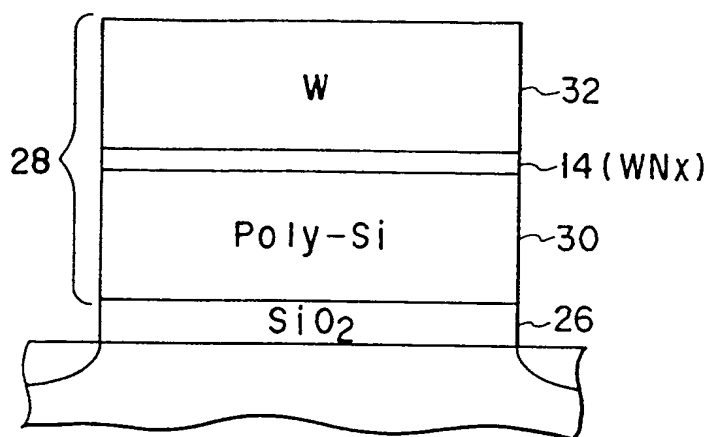
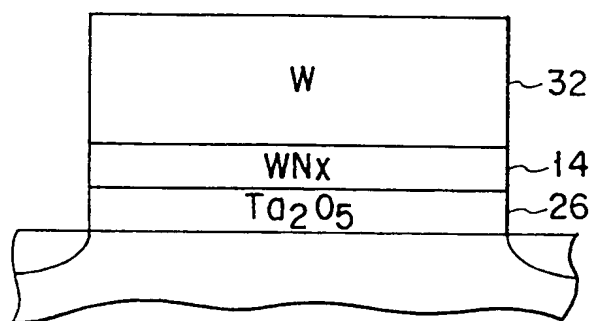


FIG. 8



	比較例 1	比較例 2	本発明
構造	Poly / WSi	Poly / TiSi	Poly / WN / W
抵抗値 (uohmcm)	50-60	20-30	10
耐熱性 (°C)	1000	800	900
耐薬品性 (HF)	良	劣	良
成膜時のエッチング量	多い	少ない	少ない

FIG. 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04983

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L21/28, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/28, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1999 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 9-260306, A (Toshiba Corp.), 3 October, 1997 (03. 10. 97), Par. Nos. [0018], [0019], [0035], [0038] ; Fig. 2	1-5, 7, 8, 17-19, 21, 22
Y		6, 20, 23
X	JP, 9-186102, A (Samsung Electronics Co., Ltd.), 15 July, 1997 (15. 07. 97), Par. Nos. [0018], [0019] ; Fig. 9 (Family: none)	1-5, 7, 8 17-19, 21, 22
Y		6, 20, 23
PX	JP, 10-294314, A (Sony Corp.), 4 November, 1998 (04. 11. 98),	1-8, 17-22
PY	Par. No. [0024] ; Fig. 1 (Family: none)	23
X	JP, 8-293604, A (Samsung Electronics Co., Ltd.), 5 November, 1996 (05. 11. 96), Claims 1 to 3 ; Par. No. [0010] ; Fig. 2	9-12, 13, 15, 16, 24, 25-27
Y	(Family: none)	14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
2 February, 1999 (02. 02. 99)

Date of mailing of the international search report
9 February, 1999 (09. 02. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No. --

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04983

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	JP, 11-26757, A (Toshiba Corp.), 29 January, 1999 (29. 01. 99), Par. No. [0035] (Family: none)	9-12, 13, 15, 16, 24, 25-27
PY		14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/28
H01L21/768

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/28
H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年
日本国公開実用新案公報 1971-1999年
日本国登録実用新案公報 1994-1999年
日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 9-260306, A (株式会社東芝) 3. 10月. 1997 (03. 10. 97)、段落0018, 0019, 0035, 0038、図2、(ファミリーなし)	1-5, 7, 8, 17-19, 21, 22
Y		6, 20, 23
X	J P, 9-186102, A (三星電子株式会社) 15. 7月. 1997 (15. 07. 97)、段落0018, 0019、図9 (ファミリーなし)	1-5, 7, 8, 17-19, 21, 22
Y		6, 20, 23
PX	J P, 10-294314, A (ソニー株式会社) 4. 11月. 1998 (04. 11. 98)、段落0024、図1 (ファミリーなし)	1-8, 17-22

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02. 02. 99

国際調査報告の発送日

09.02.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

國島 明弘

印

4 M

8932

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PY	し)	23
X	JP, 8-293604, A (三星電子株式会社) 5. 11月. 1996 (05. 11. 96)、クレーム1-3, 段落0010、図2 (ファミリーなし)	9-12, 13, 15, 16, 24, 25-27
Y		14
PX	JP, 11-26757, A (株式会社東芝) 29. 1月. 1999 (29. 01. 99)、段落0035 (ファミリーなし)	9-12, 13, 15, 16, 24, 25-27
PY		14

P C T

国際予備審査報告

REC'D 14 JAN 2000

WIPO PCT

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 98S0797P	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 98/04983	国際出願日 (日.月.年) 05.11.98	優先日 (日.月.年) 05.11.97
国際特許分類 (IPC)	Int. Cl ⁷ H01L21/28 H01L21/768	
出願人 (氏名又は名称) 東京エレクトロン株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で 6 ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 08.04.99	国際予備審査報告を作成した日 04.01.00	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 國島 明弘 電話番号 03-3581-1101 内線 3462	4M 8932

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-23 ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 11, 14-16 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 9-10, 12-13, 24-27 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの

☒ 図面 第 1-9 ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 1-8, 17-23 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	9-16, 24-27	有
	請求の範囲		無
進歩性 (IS)	請求の範囲	9-16, 24-27	有
	請求の範囲		無
産業上の利用可能性 (IA)	請求の範囲	9-16, 24-27	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

請求項9-16, 24-27の発明は、国際調査報告書及び見解書に引用されたいずれの文献も記載されておらず、当業者にとって自明のことでもない。

請 求 の 範 囲

1 . (削 除)

2 . (削 除)

3 . (削 除)

4 . (削 除)

5 . (削 除)

6 . (削 除)

7 .

8 .

９．半導体基板上に形成された回路素子の電極において、

ポリシリコン層と、

ポリシリコン層上に形成されるバリアメタルと、

バリアメタル上に形成される金属層と、

を具備し、

バリアメタルは、 WSi_xNy （タングステンシリサイドナイトライド）から成ることを特徴とする電極。

１０．前記電極はトランジスタのゲート電極であって、前記ポリシリコン層は、トランジスタのソースとドレインとの間に形成されるゲート絶縁膜上に形成されることを特徴とする請求項９に記載の電極。

１１．前記金属層がWまたはCuによって形成されていることを特徴とする請求項９または請求項１０に記載の電極。

１２．前記ゲート絶縁膜は、 SiO_2 、 $SiOF$ 、 Ta_2O

5、 CF_x のうちのいずれか1つによって形成されているこ

とを特徴とする請求項11に記載の電極。

13. 半導体基板上に形成されたトランジスタのゲート電極において、

トランジスタのソースとドレインとの間に形成されるゲート絶縁膜と、

ゲート絶縁膜上に形成されるバリアメタルと、

バリアメタル上に形成される金属層と、

を具備し、

バリアメタルは、 $WSixNy$ （タングステンシリサイドナイトライド）から成ることを特徴とするゲート電極。

14. 前記電極はキャパシタ電極であって、前記ポリシリコン層は絶縁膜上に形成されていることを特徴とする請求項9に記載の電極。

15. 前記金属層がAl、W、Cuのいずれか1つによって形成されていることを特徴とする請求項14に記載の電極。

16. 前記絶縁膜は、 SiO_2 、 $SiOF$ 、 Ta_2O_5 、 CF_x のうちのいずれか1つによって形成されていることを特徴とする請求項15に記載の電極。

17. (削除)

18. (削除)

19. (削除)

20. (削除)

21.

22.

23. (削除)

24. 半導体基板上に設けられたトランジスタのゲート電極を形成する方法において、

トランジスタのソースとドレインとの間に形成されたゲート絶縁膜上に、 WSi_xNy (タングステンシリサイドナイトライド) から成るバリアメタルを形成し、

バリアメタル上に導電層を形成することを特徴とする方法。

25. 半導体基板上に設けられたトランジスタのゲート電極を形成する方法において、

トランジスタのソースとドレインとの間に形成されたゲート絶縁膜上にポリシリコン層を形成し、

ポリシリコン層上に、 WSi_xNy (タングステンシリサイドナイトライド) から成るバリアメタルを形成し、

バリアメタル上に導電層を形成することを特徴とする方法。

26. 前記導電層がWまたはCuによって形成されていることを特徴とする請求項24または請求項25に記載の方法。

27. 前記ゲート絶縁膜は、 SiO_2 、 SiOF 、 Ta_2O_5 、 CF_x のうちのいずれか1つによって形成されていることを特徴とする請求項24または請求項25に記載の方法。

P C T



国際調査報告

(法8条、法施行規則第40、41条)

[PCT18条、PCT規則43、44]

出願人又は代理人 書類記号 98S0797P	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 98/04983	国際出願日 (日.月.年) 05.11.98	優先日 (日.月.年) 05.11.97
出願人(氏名又は名称) 東京エレクトロン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☐ 出願人が示したとおりである。

☐ なし

☒ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L 21/28
H01L 21/768

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L 21/28
H01L 21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年
日本国公開実用新案公報 1971-1999年
日本国登録実用新案公報 1994-1999年
日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 9-260306, A (株式会社東芝) 3. 10月. 1997 (03. 10. 97)、段落0018, 0019, 0035, 0038、図2、(ファミリーなし)	1-5, 7, 8, 17-19, 21, 22
Y		6, 20, 23
X	J P, 9-186102, A (三星電子株式会社) 15. 7月. 1997 (15. 07. 97)、段落0018, 0019、図9 (ファミリーなし)	1-5, 7, 8, 17-19, 21, 22
Y		6, 20, 23
PX	J P, 10-294314, A (ソニー株式会社) 4. 11月. 1998 (04. 11. 98)、段落0024、図1 (ファミリーなし)	1-8, 17-22

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

02. 02. 99

国際調査報告の発送日

09.02.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

國島 明弘

4M

8932

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P Y	し)	23
X	J P, 8-293604, A (三星電子株式会社) 5. 11月. 1996 (05. 11. 96)、クレーム1-3, 段落0010、図2 (ファミリーなし)	9-12, 13, 15, 16, 24, 25-27
Y		14
P X	J P, 11-26757, A (株式会社東芝) 29. 1月. 1999 (29. 01. 99)、段落0035 (ファミリーなし)	9-12, 13, 15, 16, 24, 25-27
P Y		14

